

08.09.03

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 8月14日  
Date of Application:

REC'D 26 SEP 2003

出願番号 特願2002-236351  
Application Number:

WIPO PCT

[ST. 10/C]: [JP2002-236351]

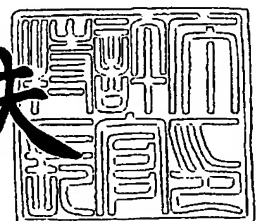
出願人 東京エレクトロン株式会社  
Applicant(s):

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年 8月28日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 JPP020130

【提出日】 平成14年 8月14日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01P 11/00  
H01P 3/16

【発明の名称】 非放射性誘電体線路の製造方法及び非放射性誘電体線路

【請求項の数】 8

【発明者】  
【住所又は居所】 東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社  
会社内

【氏名】 湯浅 光博

【特許出願人】  
【識別番号】 000219967  
【氏名又は名称】 東京エレクトロン株式会社

【代理人】  
【識別番号】 100077517  
【弁理士】  
【氏名又は名称】 石田 敬  
【電話番号】 03-5470-1900

【選任した代理人】  
【識別番号】 100092624  
【弁理士】  
【氏名又は名称】 鶴田 準一

【選任した代理人】  
【識別番号】 100119987  
【弁理士】  
【氏名又は名称】 伊坪 公一

## 【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

## 【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

## 【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 非放射性誘電体線路の製造方法及び非放射性誘電体線路

【特許請求の範囲】

【請求項 1】 基板上に第 1 の導体膜を形成するステップと、  
前記導体膜上に第 1 の誘電体膜を形成するステップと、  
第 1 の誘電体膜を貫通する伝送線路のための溝を形成するステップと、  
前記第 1 の誘電体膜の溝に第 1 の誘電体膜の誘電率より大きな誘電率を有する  
第 2 の誘電体を埋め込むステップと、

前記第 1 の誘電体膜及び前記第 2 の誘電体膜上に第 2 の導体膜を形成するステ  
ップと

を備えることを特徴とする非放射性誘電体線路の製造方法。

【請求項 2】 基板上に第 1 の導体膜を形成するステップと、  
前記導体膜上に第 1 の誘電体膜の誘電率より大きな誘電率を有する第 2 の誘電  
体膜を形成するステップと、

前記第 2 の誘電体膜が伝送線路となるようにエッチングするステップと、  
前記第 2 の誘電体膜をエッチングした部分に前記第 1 の誘電体を埋め込むステ  
ップと、

前記第 1 の誘電体膜及び前記第 2 の誘電体膜上に第 2 の導体膜を形成するステ  
ップと

を備えることを特徴とする非放射性誘電体線路の製造方法。

【請求項 3】 基板上に導体膜を形成するステップと、  
前記導体膜上に第 1 の犠牲層を形成するステップと、  
前記第 1 の犠牲層を貫通する伝送線路のための溝を形成するステップと、  
前記第 1 の犠牲層の溝に誘電体を埋め込むステップと、  
前記誘電体が埋め込まれた前記第 1 の犠牲層の上に第 2 の犠牲層を形成し、該  
第 2 の犠牲層を複数の個所を残してエッチングするステップと、  
前記第 2 の犠牲層のエッチング部分に導体膜を形成するステップと、  
前記第 1 及び第 2 の犠牲層をエッチングして犠牲層を除去するステップと、  
を備えることを特徴とする非放射性誘電体線路の製造方法。

【請求項 4】 基板上に第 1 の誘電体膜を形成するステップと、  
前記第 1 の誘電体膜を貫通しない深さの伝送線路のための溝を形成するステップと、  
前記第 1 の誘電体膜の溝に前記第 1 の誘電体膜の誘電率より大きな誘電率を有する第 2 の誘電体を埋め込むステップと、  
前記第 1 の誘電体膜及び前記第 2 の誘電体膜上に第 1 の誘電体膜を形成するステップと、  
前記第 2 の誘電体の幅よりも短い間隔をあけて設けられ、基板に達する 2 つの溝を、前記第 2 の誘電体の両端を切り落とすように形成するステップと、  
前記 2 つの溝に導体を埋め込むステップと、  
を備えることを特徴とする非放射性誘電体線路の製造方法。

【請求項 5】 前記基板には、MEMS 回路が組み込まれていることを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の非放射性誘電体線路の製造方法。

【請求項 6】 基板上に形成された第 1 の導体膜と、第 1 の導体膜上に形成された第 1 の誘電体膜及び該第 1 の誘電体膜に囲まれた第 1 の誘電体の誘電率より大きな誘電率を有する第 2 の誘電体膜と、第 1 及び第 2 の誘電体膜上に形成された第 2 の導体膜とを備えることを特徴とする非放射性誘電体線路。

【請求項 7】 基板上に垂直に形成された一対の導体と、前記導体間に形成された基板に平行な一対の第 1 の誘電体膜と、前記第 1 の誘電体膜に挟まれた第 1 の誘電体の誘電率より大きな誘電率を有する第 2 の誘電体膜とを備えることを特徴とする非放射性誘電体線路。

【請求項 8】 前記基板には、MEMS 回路が組み込まれていることを特徴とする請求項 5 ～ 7 のいずれか 1 項に記載の非放射性誘電体線路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ミリ波ないしサブミリ波を伝送する伝送線路の製造方法及び伝送線路に関し、特に非放射性誘電体線路の製造方法及び非放射性誘電体線路に関する。

## 【 0 0 0 2 】

## 【従来の技術】

近年の情報通信技術の著しい進展の中で、高速で大容量の情報を伝送する伝送手段が求められており、ミリ波ないしサブミリ波を利用する技術が、例えば無線ブロードバンド・ネットワーク用として期待されている。そして、ミリ波関連技術として、非放射型誘電体線路及び高周波応用MEMS（Micro Electro Mechanical System）が注目されている。

## 【 0 0 0 3 】

非放射型誘電体線路（Nonradiative Dielectric Waveguide：以下、「NRDガイド」という。）は、低損失である誘電体線路であっても、線路の曲りや不連続部分で放射が発生するという欠点を解決するために提案されたもので、誘電体線路の低損失性を保持しながら不要放射を抑えた、ミリ波ないしサブミリ波に適した伝送線路である。

## 【 0 0 0 4 】

また、高周波応用MEMSはMEMSないしマイクロマシン技術を利用し、基板上に抵抗、コンデンサ、コイル、スイッチ等を微細加工で形成してフィルタ等の各種高周波用回路を形成したもので、個々の素子の特性もよく実装上の利点も多い回路ないしデバイスである。

## 【 0 0 0 5 】

## 【発明が解決しようとする課題】

しかしながら、従来のNRDガイドは、伝送線路となる誘電体ガイド及びこの誘電体ガイドを挟む金属板を個々に組み合わせて製造されており、高周波応用MEMS回路と組み合わせるには不向きな面があった。

## 【 0 0 0 6 】

本発明は、前記問題点に鑑み、半導体プロセスを利用してNRDガイドを基板上に形成する非放射型誘電体線路の製造方法及び該製造方法で製造された非放射型誘電体線路を提供することを目的とする。

## 【 0 0 0 7 】

## 【課題を解決するための手段】

本発明によると、上記目的を達成するために、基板上に導体膜を形成し、導体膜上に第 1 の誘電体膜を形成し、第 1 の誘電体膜を貫通する伝送線路のための溝を形成して、この溝に第 1 の誘電体膜の誘電率より大きな誘電率を有する第 2 の誘電体を埋め込み、その上に導体膜を形成して、非放射型誘電体線路を製造する。

#### 【0008】

また、本発明によると、上記製造工程のうち、第 1 の誘電体膜に第 2 の誘電体を埋め込むステップに代えて、まず導体膜上に第 1 の誘電体膜の誘電率より大きな誘電率を有する第 2 の誘電体膜を形成して、第 2 の誘電体膜が伝送線路となるようにエッチングして後、このエッチングした部分に第 1 の誘電体を埋め込むステップを採用してもよい。

#### 【0009】

さらに、本発明は、基板上の導体膜に第 1 の犠牲層を形成し、第 1 の犠牲層を貫通する溝を形成して誘電体を埋め込んで伝送線路とし、その上に第 2 の犠牲層を形成し、該第 2 の犠牲層を複数の個所を残してエッチングして、このエッチング部分に導体膜を形成した後、犠牲層を除去して、非放射型誘電体線路を製造する。

#### 【0010】

さらに、本発明によると、基板上に第 1 の誘電体膜を形成し、第 1 の誘電体膜を貫通しない深さの伝送線路のための溝を形成して、この溝に前記第 1 の誘電体膜の誘電率より大きな誘電率を有する第 2 の誘電体を埋め込み、さらにその上に第 1 の誘電体膜を形成した後、基板に達する 2 つの溝を、前記第 2 の誘電体の両端を切り落とすように形成して、2 つの溝に導体を埋め込んで、非放射型誘電体線路を製造する。

#### 【0011】

本発明の基板には、MEMS 回路が組み込まれていてもよい。

また、本発明の非放射型誘電体線路は、基板上に形成された第 1 の導体膜と、その上の第 1 の誘電体膜及び第 1 の誘電体膜に囲まれた第 1 の誘電体の誘電率より大きな誘電率の第 2 の誘電体膜と、その上の第 2 の導体膜とを備える。

## 【 0 0 1 2 】

さらに、本発明の非放射性誘電体線路は、基板上に垂直に形成された一対の導体と、導体間に形成された一対の第 1 の誘電体膜と、第 1 の誘電体膜に挟まれた第 1 の誘電体の誘電率より大きな誘電率を有する第 2 の誘電体膜とを備える。

## 【 0 0 1 3 】

本発明の非放射性誘電体線路の製造方法によれば、半導体プロセスを利用して NRD ガイドを製造することができ、MEMS 回路と組み合わせることが容易になり、幅広い応用に供することができる。

## 【 0 0 1 4 】

## 【発明の実施の形態】

まず、NRD ガイドについて説明する。

図 2 4 は、NRD ガイドを説明するための概念的な断面図である。NRD ガイドは、誘電体 D を金属等の導体板 M で挟んで構成される。この導体板 M の間隔  $d$  を伝送すべき例えばミリ波の半波長以下に狭くすると、空気領域では遮断状態となりミリ波は存在できない。しかし、誘電体 D 内では波長が短縮するため、遮断状態が解除される。したがって、誘電体 D をミリ波の伝送線路とすれば、伝送すべきミリ波が周囲空間に放射することはなく、低損失で不要放射のない誘電体線路が実現できる。なお、伝送される波は誘電体 D 表面を伝わる表面波であって、導体板 M で反射しながら伝搬するものである。

## 【 0 0 1 5 】

ミリ波の波長を  $\lambda$ 、導体板 M の間隔を  $d$ 、誘電体 D の比誘電率  $\epsilon_r$  とし、金属板の間隔  $d$  が、

## 【 0 0 1 6 】

$$d < \lambda / 2$$

となる場合は、ミリ波は空气中を伝搬できないが、誘電体 D 中で、

$$d > \lambda / (2\sqrt{\epsilon_r})$$

となれば、比誘電率  $\epsilon_r$  の誘電体 D 中を伝搬可能となり、波長  $\lambda$  のミリ波に対する NRD ガイドが構成される。

## 【 0 0 1 7 】



たとえば、波長 2 mm のミリ波を考え、誘電体 D の比誘電率  $\epsilon_r$  を 100 とし、導体板 M の間隔  $d = 0.5$  mm とすると、

【0018】

空気中では、 $2/2 = 1 > d$

誘電体中では、 $2/(2 \cdot 10) = 0.1 < d$

となり、波長 2 mm のミリ波は比誘電率 100 の誘電体 D を伝送路として不要放射なく伝送されることになる。

【0019】

以下、図面を参照して、本発明の NRD ガイドの製造方法を説明する。

図 1 ～ 図 6 に、本発明の第 1 の実施形態の製造方法を示す。

図 1 は、基板 1 上に銅、アルミニウムなどの金属からなる導体膜 2 を成膜する工程を示す図である。本例では、基板 1 は、シリコンウエハに、抵抗、コンデンサ、コイル、スイッチング素子等の回路素子を組み合わせてなる MEMS 回路を組み込んだものである。しかし、伝送線路のみが必要であれば、基板 1 は MEMS 回路を有さないシリコンウエハでよい。導体膜 2 は、スパッタリング、めっき等で基板 1 上に成膜される。成膜方法は、半導体プロセスで公知のものでよく、例えばチタン・チタンナイトライド系のバリア膜を付着し、次いで Cu の PVD (Physical Vapor Deposition) で薄膜を堆積させ、その後電界めっきを行って成膜すればよい。

【0020】

図 2 は、導体膜 2 の上に誘電体 A の膜 3 を生成する工程を示す。誘電体 A は、 $\text{SiO}_2$ 、 $\text{SiOF}$  等の比較的誘電率の低いものである。

【0021】

図 3 は、誘電体 A 膜 3 のエッチング工程を示す。伝送線路が埋め込まれる溝が、誘電体 A 膜 3 を貫通して形成される。

【0022】

図 4 は、図 3 のエッチング工程の後、エッチングされた溝に誘電率が誘電体 A より大きい誘電体 B を埋め込む工程である。誘電体 B は、例えばセラミックス系の誘電体材料を用いて、スピンコートで埋め込んだ後 CMP (Chemical Mechani

cal Polishing) で削り取って平坦化する。誘電体B膜4はミリ波ないしサブミリ波を伝送する伝送線路となる。

#### 【0023】

図5は、図1に示したと同様に、導体膜5を成膜する工程である。

その後、図6に示すように、パッシベーション工程により、パッシベーション膜を成膜する。このようにして、誘電体A膜3に囲まれた誘電体B膜4が導体膜2、5に挟持されて伝送路となるNRDガイドが構成される。通常のNRDガイドでは空気層となる部分が、本例では誘電体A膜3である。誘電体B膜4は誘電体A膜3の誘電率より大きな誘電率をもった材料を使用しており、誘電率の差を大きくしておけば、伝送するミリ波ないしサブミリ波のどのような波長に対しても対応することができる。

#### 【0024】

本例は、誘電体A膜3を空気層の代わりに用いているから、半導体プロセスになじみ、製造容易であり、NRDガイドとしての構造も堅固であるという特徴をもつ。

#### 【0025】

(第2の実施形態)

図7～9に、本発明のNRDガイドの第1の実施形態の誘電体成膜工程(図2～4)の変形例を示す。

#### 【0026】

図7に示すように、本例では、基板1上に導体膜2を設けた後、まず誘電体B膜4を成膜する。次いで、図8に示すように、伝送線路として必要な誘電体B膜4を残して、他の部分を除去する。その後、図9に示すように、誘電体Aを埋め込んで平坦化する。前述のように、誘電体Bの誘電率は誘電体Aの誘電率より大きなものである。

#### 【0027】

このようにしても、第1の実施形態の誘電体成膜工程による導体膜2上の誘電体A膜3、誘電体B膜4と同じものが得られる(図4参照)。この後は、第1の実施形態で説明したステップと同様に、誘電体A膜3、誘電体B膜4上に導体膜

を成膜し、さらにその上にパッシベーション膜を形成すればよい。

#### 【0028】

(第3の実施形態)

図10～16に、本発明の製造方法の第3の実施形態を示す。

本例は、前述のような誘電体Aを用いることのない、従来と同様の構造をもつNRDガイドを得るための製造方法である。

#### 【0029】

図10に示すように、必要に応じてMEMS回路が作り込まれた基板1上に、導体膜2を形成し、その上に例えばSiO<sub>2</sub>からなる犠牲層3'を成膜する。犠牲層は最終的には除去されるものである。

#### 【0030】

次いで、図11に示すように、犠牲層3'をエッチングし、犠牲層を貫通する溝を形成し、図12に示すように、この溝に誘電体Bを埋め込み平坦化する。

#### 【0031】

図13に示すように、犠牲層3'及び誘電体B膜4の上に、犠牲層3'と同様なたとえばSiO<sub>2</sub>からなる犠牲層7を形成する。

#### 【0032】

図14に示すステップでは、犠牲層7を、その突起部分71を残して、エッチングする。突起部分71は後に取り除かれて犠牲層3'の除去のための孔となる部分である。

#### 【0033】

図15では、上記エッチング部分にたとえばCuやAl等の金属から成る導体膜8を設けて平坦化する。

#### 【0034】

その後、図16に示すように、犠牲層の突起部分71及び犠牲層3'をエッチングする。犠牲層がSiO<sub>2</sub>で形成されていれば、HF等を用いてエッチングすれば、犠牲層71からエッチングが進行し、犠牲層3'が完全に除去されることになる。

#### 【0035】

したがって、誘電体B膜4の周囲は空気で満たされ、従来のものと同様のNRDガイド、すなわち、伝送線路となる誘電体Bの周囲に空間があり、誘電体Bが導体2、8に挟持されたNRDガイドが形成される。

#### 【0036】

本例の誘電体Bと周囲の空気との誘電率の差は、第1及び第2の実施形態の誘電体Bと誘電体Aとの誘電率の差より大きくなる。したがって、本例のNRDガイドは、誘電体材料の選択の自由度が大きいという特徴を有する。

#### 【0037】

(第4の実施形態)

第1～3の実施形態では、伝送線路を形成する誘電体膜の厚みが誘電体膜の成膜工程で決定される。本例は、成膜工程で所望の精度の誘電体膜の厚みが得られない場合などに用いて好適なものである。

#### 【0038】

図17に示すように、必要に応じてMEMS回路が作り込まれた基板10上に、誘電体A膜30を形成する。

#### 【0039】

次いで、図18に示すように、誘電体A膜30をエッチングして伝送線路のための溝を形成する。この溝の深さは誘電体A膜30を貫通することのない深さである。そして、図19に示すように、誘電体Aより誘電率が大きな誘電体B膜40をこの溝に埋め込んで平坦化する。

#### 【0040】

図20に示すように、誘電体A膜30と誘電体B膜40の上に、さらに誘電体Aからなる膜30'を形成する。

#### 【0041】

次いで、図21では、伝送線路となる誘電体Bの幅を正確に決めるために、セルフアライメントのエッチングを行う。なお、ここで、誘電体A膜30'が形成されれば、誘電体A膜30と一体となるから、誘電体A膜30及び30'を一体として誘電体A膜30として記載している。

#### 【0042】

まず、誘電体A膜30の上にレジスト膜Rを形成し、誘電体40を元の長さLよりも短くするように、すなわち両端を切り落とすように誘電体2の幅を決める。リソグラフィによれば、その幅を正確に決めることができるので、伝送線路となる誘電体Bの幅を正確に決めることができる。その後、エッチングを行って、レジスト膜Rと誘電体A膜30及び誘電体B膜40をともに除去して、図21に示すような溝を作る。

#### 【0043】

図22が示すステップでは、その溝に金属等の導体50を埋め込んで平坦化し、図23では、パッシベーション膜60を成膜する。

このようにすれば、金属導体50間に配置され正確な寸法をもつ誘電体伝送路40からなるNRDガイドが製造される。

#### 【0044】

本例は、導体間の誘電体の厚みを精度よく製造でき、所望の特性をもつNRDガイドを製造することができる。

#### 【0045】

##### 【発明の効果】

本発明によれば、MEMSデバイスと組み合わせて利用することが容易なNRDガイドを製造することができる。

また、従来のNRDガイドの空気層を誘電体に代えて構成した構造をもつものにあつては、半導体プロセスを利用して容易に製造ができ、製品も堅固なものとなる。

さらに、NRDガイドの誘電体の厚みを精度よく製造できる製造プロセスも提供できる。

##### 【図面の簡単な説明】

##### 【図1】

第1実施形態の第1の導体成膜工程を示す図である。

##### 【図2】

第1実施形態の第1の誘電体A成膜工程を示す図である。

##### 【図3】

第 1 実施形態の第 1 の誘電体 A 膜のエッチング工程を示す図である。

【図 4】

第 1 実施形態の第 2 の誘電体 B 膜を埋め込み平坦化する工程を示す図である。

【図 5】

第 1 実施形態の第 2 の導体成膜工程を示す図である。

【図 6】

第 1 実施形態のパッシベーション成膜工程を示す図である。

【図 7】

第 2 実施形態の第 2 の誘電体 B 成膜工程を示す図である。

【図 8】

第 2 実施形態の第 2 の誘電体 B 膜のエッチング工程を示す図である。

【図 9】

第 2 実施形態の第 1 の誘電体 A 膜を埋め込み平坦化する工程を示す図である。

【図 1 0】

第 3 実施形態の犠牲層成膜工程を示す図である。

【図 1 1】

第 3 実施形態の犠牲層のエッチング工程を示す図である。

【図 1 2】

第 3 実施形態の誘電体 B を埋め込み平坦化する工程を示す図である。

【図 1 3】

第 3 実施形態の犠牲層成膜工程を示す図である。

【図 1 4】

第 3 実施形態の犠牲層のエッチング工程を示す図である。

【図 1 5】

第 3 実施形態の導体成膜及び平坦化の工程を示す図である。

【図 1 6】

第 3 実施形態の犠牲層のエッチング工程を示す図である。

【図 1 7】

第 4 実施形態の第 1 の誘電体 A 成膜工程を示す図である。

## 【図 1 8】

第 4 実施形態の第 1 の誘電体 A 膜のエッチング工程を示す図である。

## 【図 1 9】

第 4 実施形態の第 2 の誘電体 B 膜を成膜し平坦化する工程を示す図である。

## 【図 2 0】

第 4 実施形態の第 1 の誘電体 A 成膜工程を示す図である。

## 【図 2 1】

第 4 実施形態の自己整合エッチング工程を示す図である。

## 【図 2 2】

第 4 実施形態の導体を埋め込んで平坦化する工程を示す図である。

## 【図 2 3】

第 4 実施形態のパッシベーション膜の成膜工程を示す図である。

## 【図 2 4】

N R D ガイドを説明する概略断面図である。

## 【符号の説明】

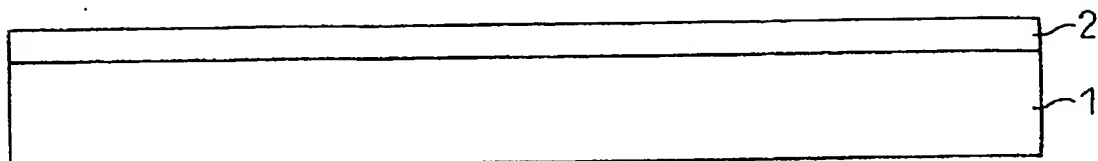
- 1, 1 0 …基板
- 2, 2 0 …導体膜
- 3, 3 0 …誘電体 A 膜
- 3' …犠牲層
- 4, 4 0 …誘電体 B 膜
- 5, 5 0 …導体膜
- 6 …パッシベーション膜
- 7 …犠牲層
- 8 …導体膜

【書類名】

図面

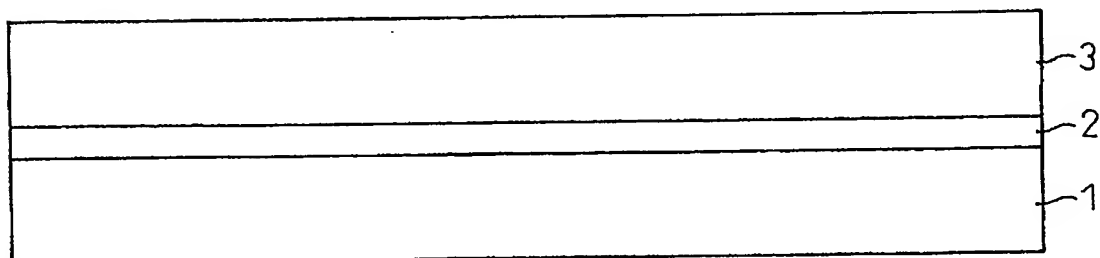
【図 1】

図 1 導体成膜（第 1 実施形態）



【図 2】

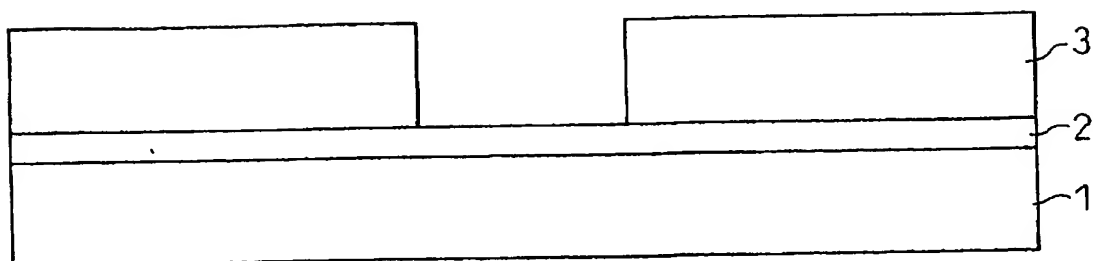
図 2 誘電体 A 成膜（第 1 実施形態）





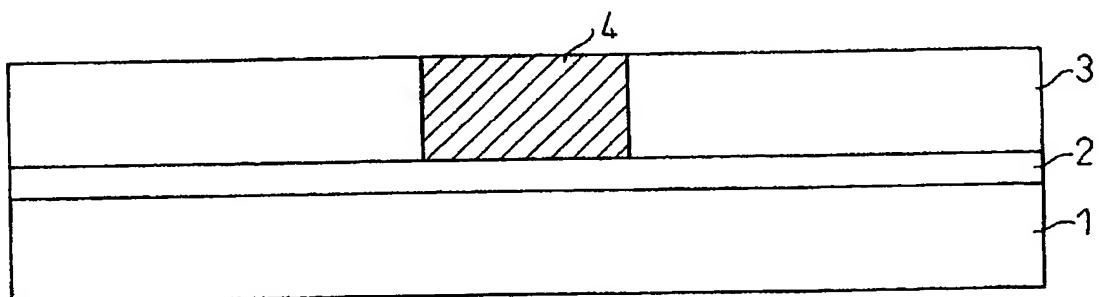
【図3】

図3 誘電体Aエッチング（第1実施形態）



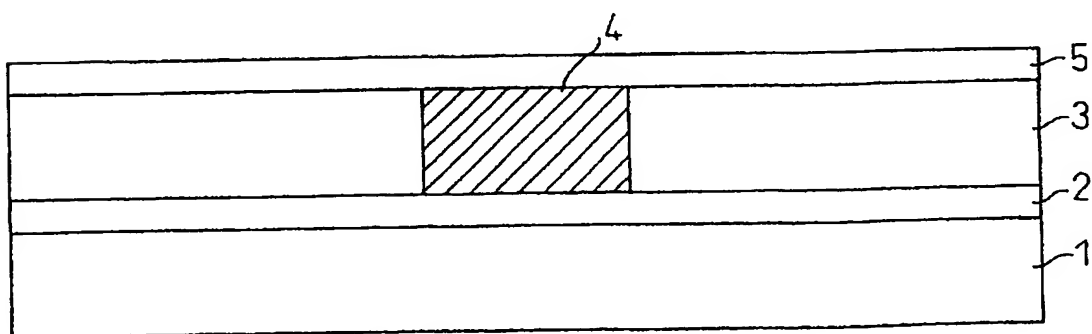
【図4】

図4 誘電体B埋め込み平坦化（第1実施形態）



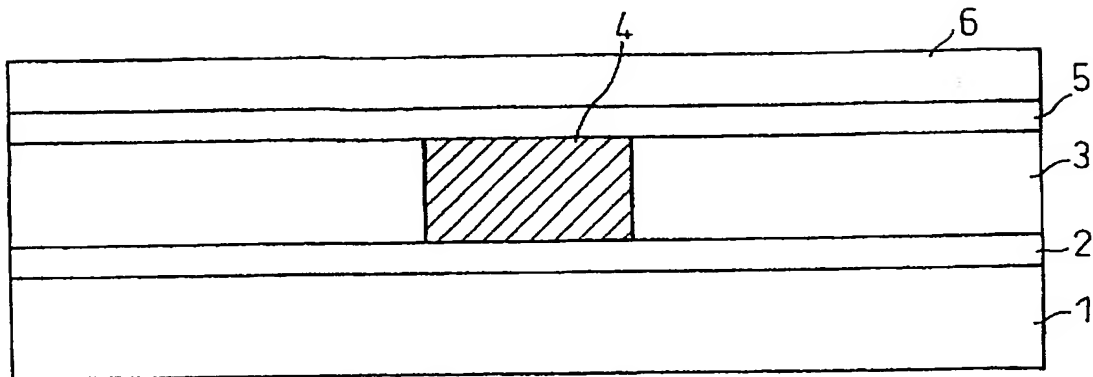
【図5】

図5 導体成膜（第1実施形態）



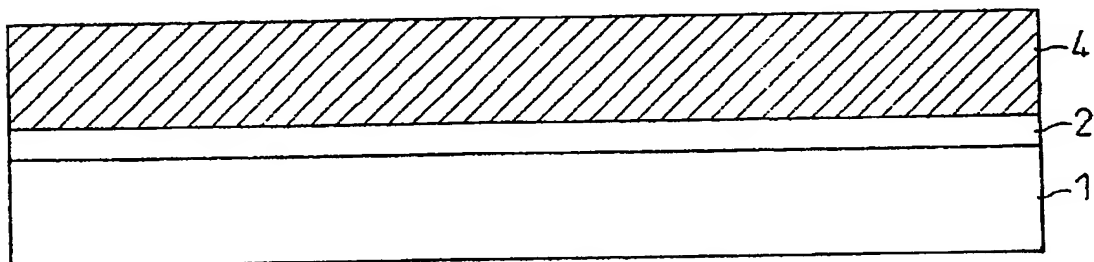
【図6】

図6 パッシベーション成膜（第1実施形態）



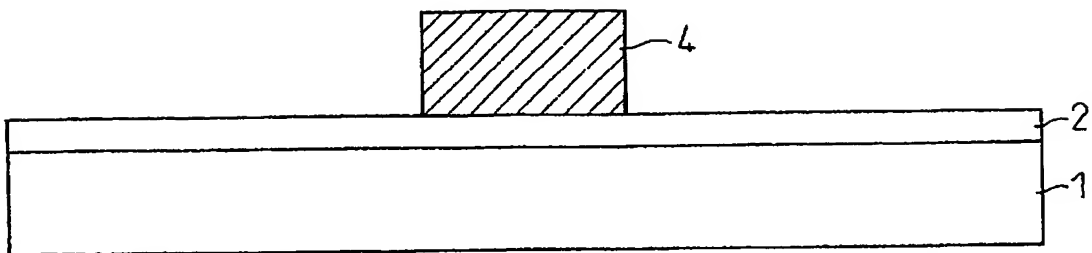
【図7】

図7 誘電体B成膜（第2実施形態）



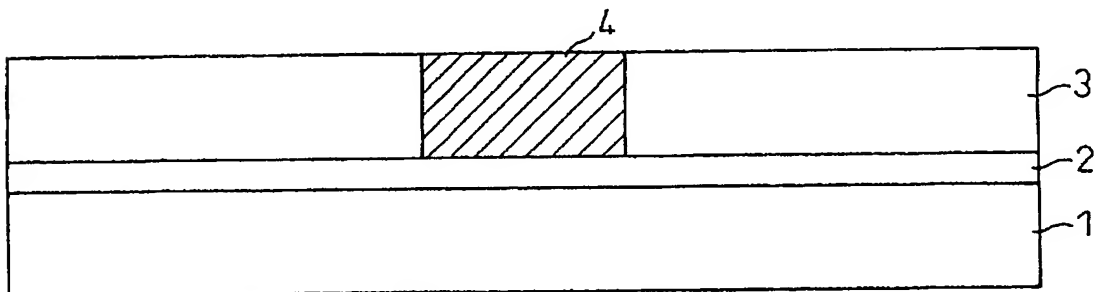
【図 8】

図 8 誘電体 B 膜のエッチング（第 2 実施形態）



【図 9】

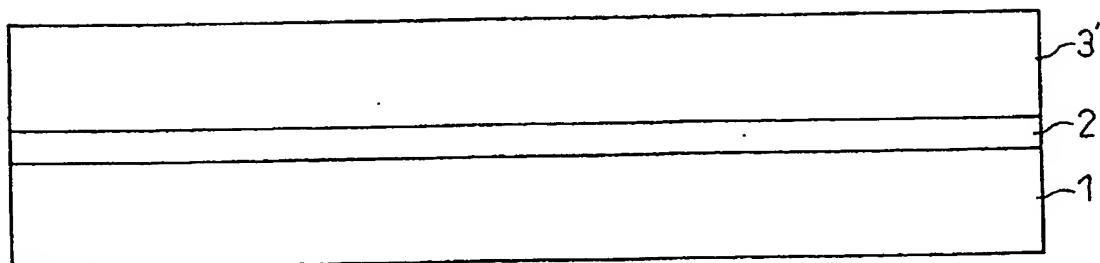
図 9 誘電体 A の埋め込み平坦化（第 2 実施形態）



【図10】

図10

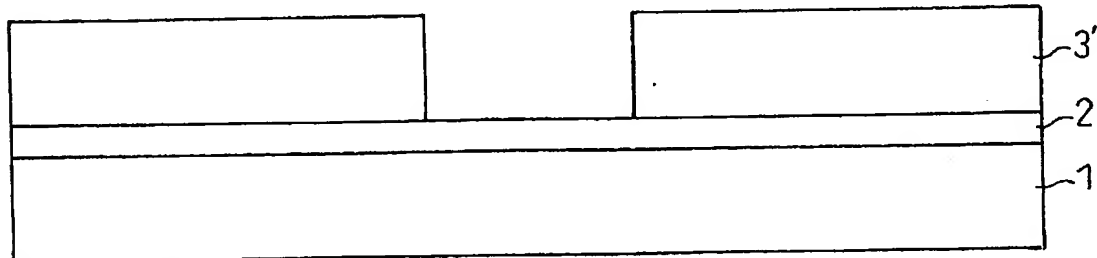
犠牲層成膜（第3実施形態）



【図11】

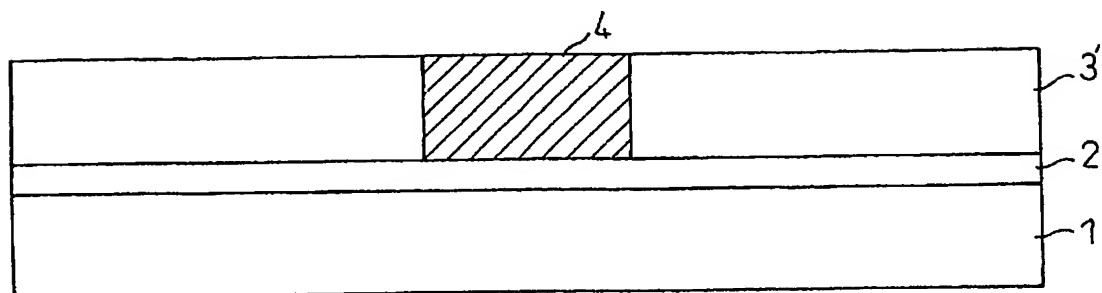
図11

犠牲層エッチング（第3実施形態）



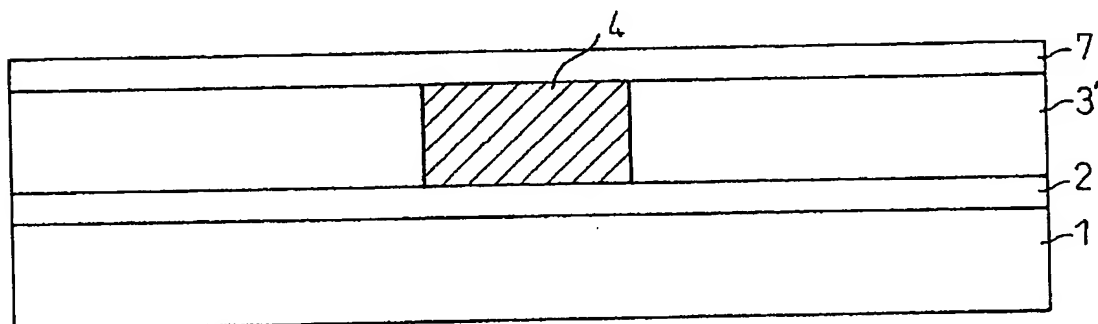
【図 1 2】

図 12 誘電体 B 埋め込み平坦化（第 3 実施形態）



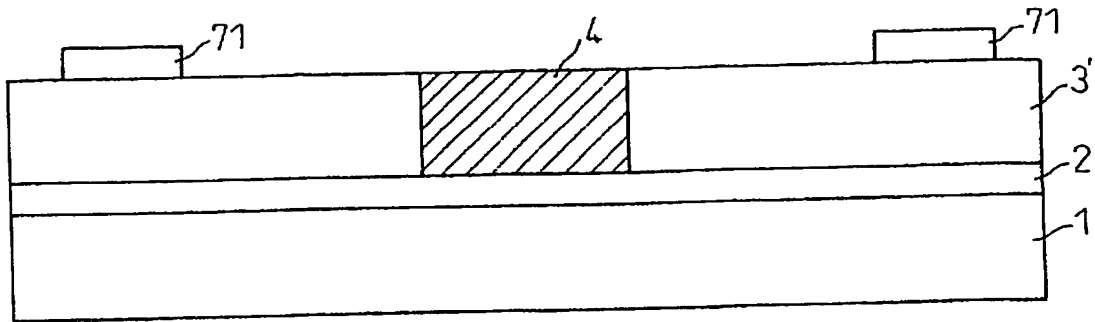
【図 1 3】

図 13 犠牲層成膜（第 3 実施形態）



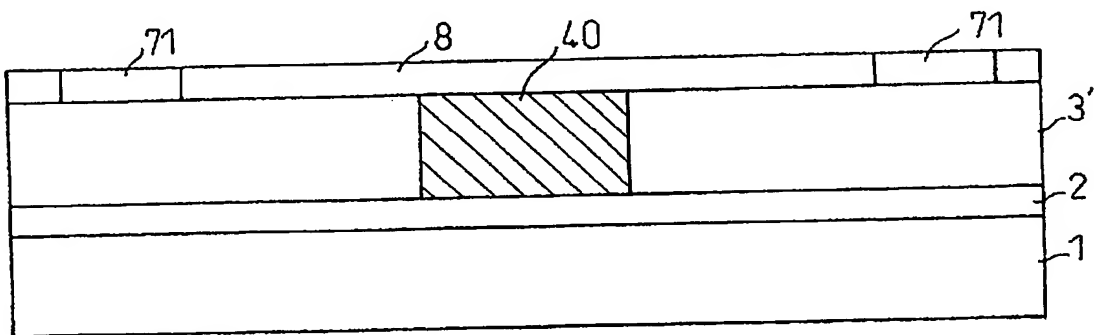
【図14】

図14 犠牲層エッチング（第3実施形態）



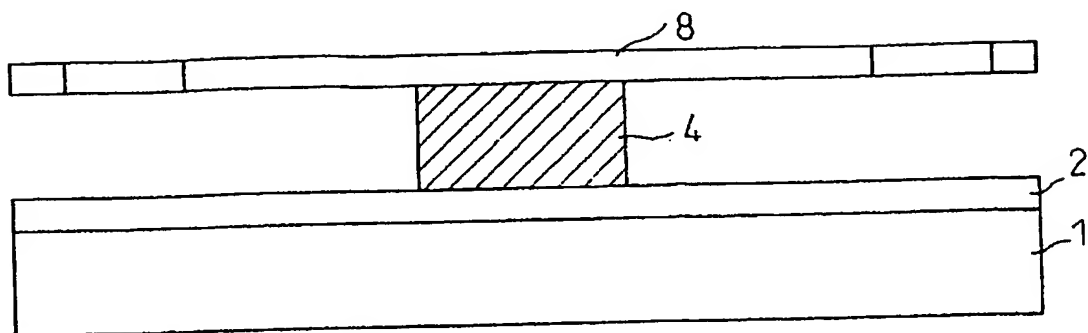
【図15】

図15 導体成膜平坦化（第3実施形態）



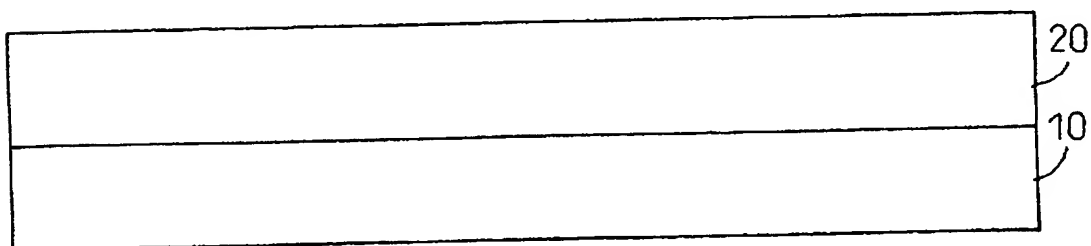
【図16】

図16 犠牲層エッチング（第3実施形態）



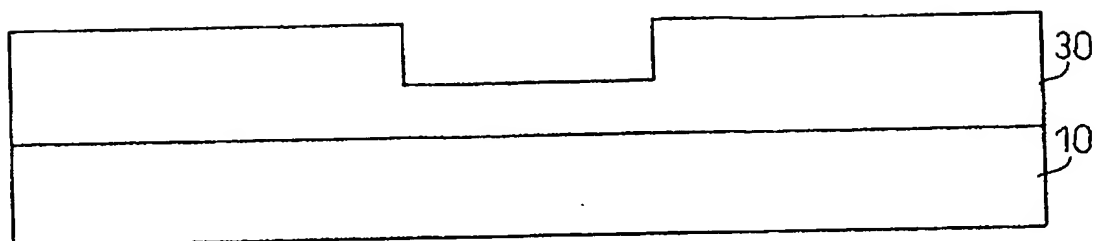
【図17】

図17 誘電体A膜成膜（第4実施形態）



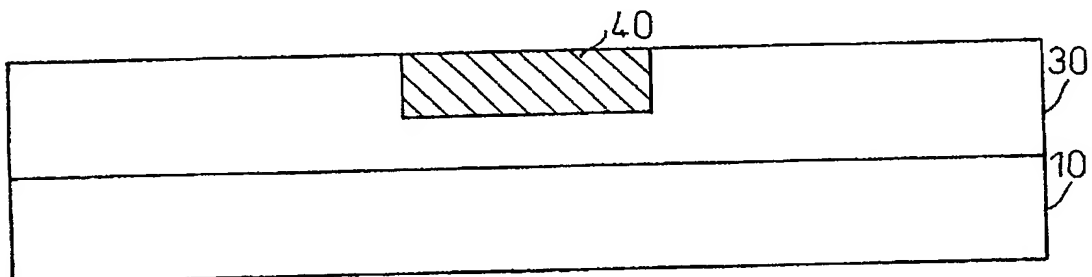
【図18】

図18 誘電体A膜エッチング（第4実施形態）



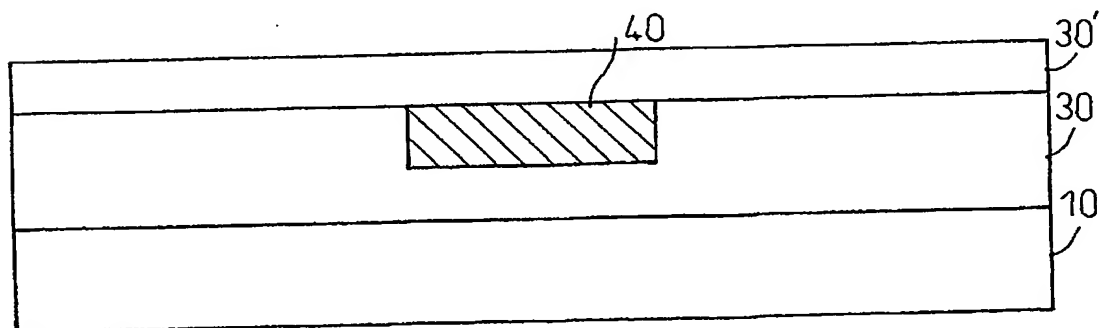
【図19】

図19 誘電体B成膜平坦化（第4実施形態）



【図20】

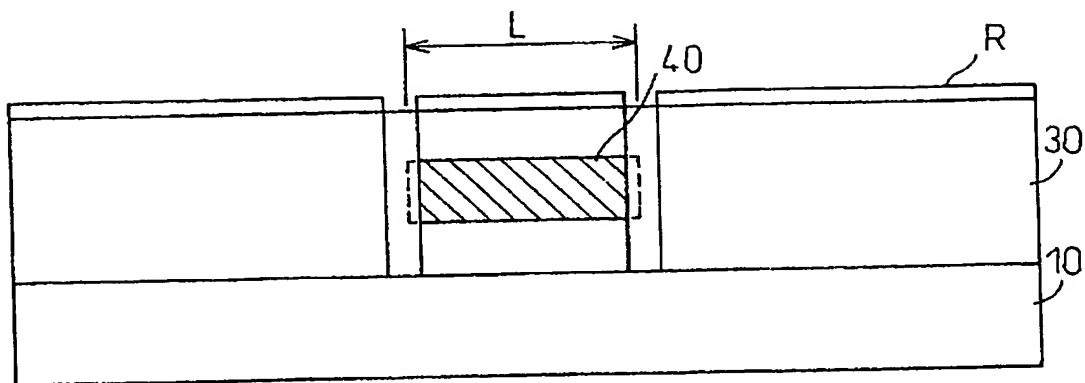
図20 誘電体A成膜（第4実施形態）





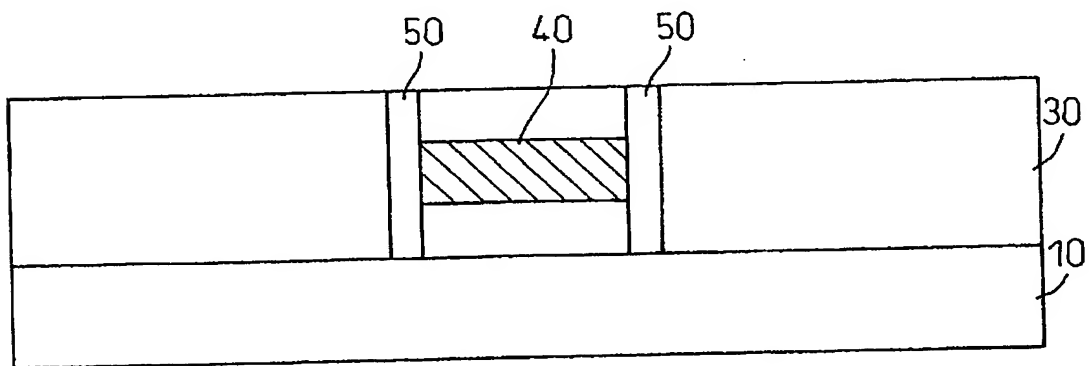
【図 2 1】

図 21 自己整合エッチング（第 4 実施形態）



【図 2 2】

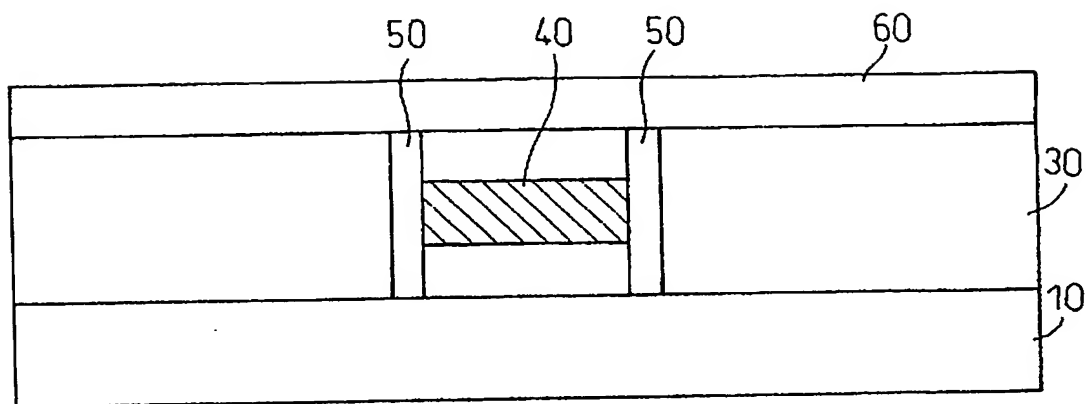
図 22 導体埋め込み平坦化（第 4 実施形態）



【図23】

図23

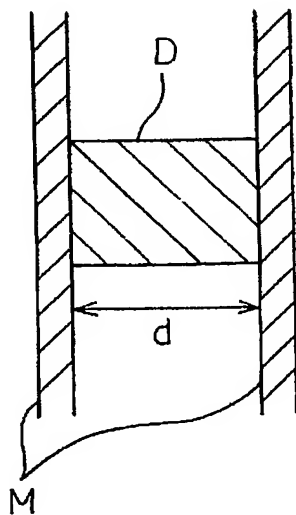
パッシベーション成膜（第4実施形態）



【図24】

図24

NRDガイド



【書類名】 要約書

【要約】

【課題】 半導体プロセスを利用して、MEMS回路を組み込んだ基板上にNRDガイドを形成すること。

【解決手段】 MEMS回路を組み込んだ基板1上に導体膜2を形成し、その上に誘電率の低い誘電体A膜3と誘電率の高い誘電体B膜4を形成し、その上に導体膜5を形成する。ミリ波は、誘電体線路である誘電体B膜4によってガイドされ、導体2, 5に反射しながら伝搬する。

【選択図】 図6

特願 2 0 0 2 - 2 3 6 3 5 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 2 1 9 9 6 7 ]

1. 変更年月日

[変更理由]

住 所

氏 名

1 9 9 4 年 9 月 5 日

住所変更

東京都港区赤坂 5 丁目 3 番 6 号

東京エレクトロン株式会社

2. 変更年月日

[変更理由]

住 所

氏 名

2 0 0 3 年 4 月 2 日

住所変更

東京都港区赤坂五丁目 3 番 6 号

東京エレクトロン株式会社